

AsahiKASEI
ASAHI KASEI EMD

AK8131C

Multi Clock Generator with VCXO

AK8131Cは、VCXO及びPLLを内蔵したクロックジェネレータICです。27MHzの水晶振動子から27.0MHzと33.000MHzを同時に出力することができます。

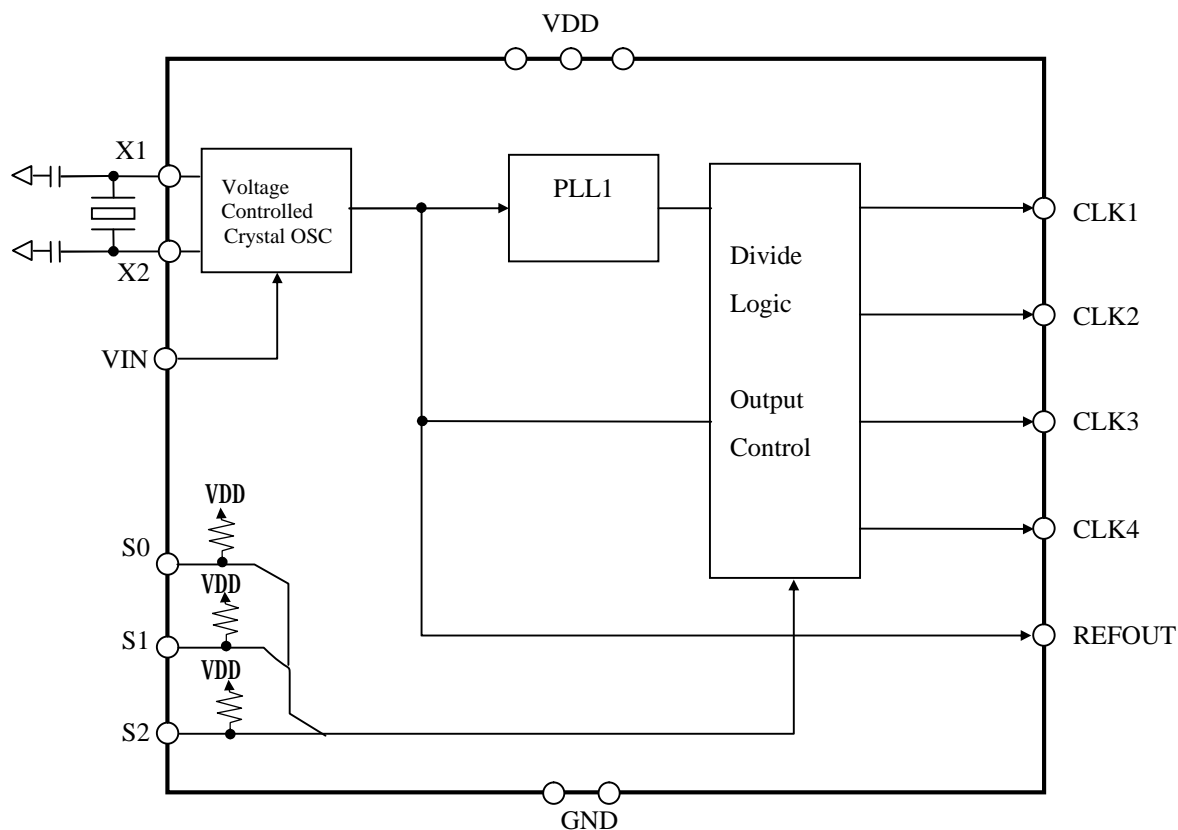
特 長

- 電源電圧 : 3.0V - 3.6V
- 低消費電流 : 10.0mA typ.
- マスタクロック : 27.000MHz
- 生成クロック
 - REFOUT : 27.000MHz (マスタクロック)
 - CLK1 : 33.000MHz
 - CLK2 : 33.000MHz
 - CLK3 : 27.000MHz
 - CLK4 : 27.000MHz
- VCXOレンジ : +/-100 ppm以上
- 出力負荷
 - REFOUT : 25pF
 - CLK1-4 : 15pF
- 低ジッタ出力
 - REFOUT/CLK3/4 : 150ps typ. (Long term)
 - CLK1/2 : 120ps typ. (Period Jitter)
- パッケージ : 16ピンSSOP (鉛フリー)

■用途

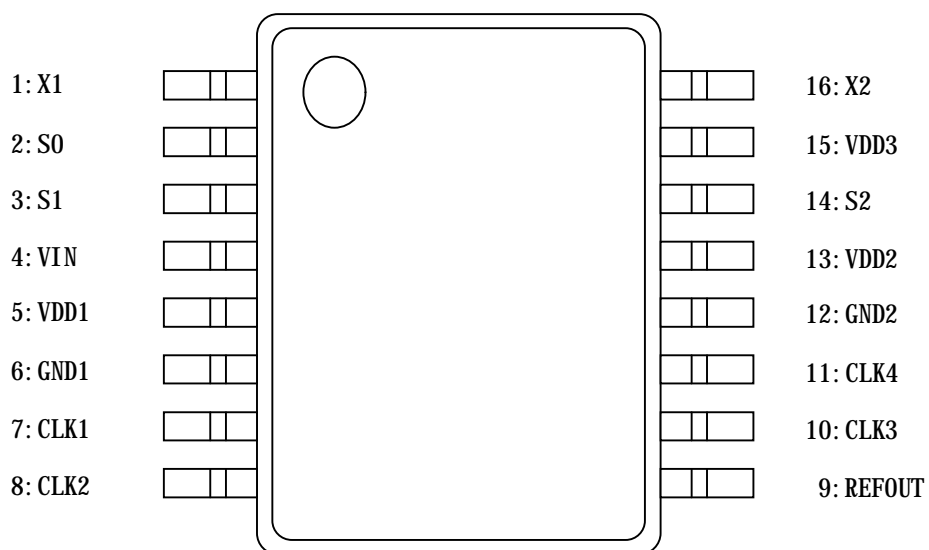
HDTV, STB, PCカードなど各種デジタル放送受信機

1. ブロック図



2. 端子説明

2-1) 端子配置図



2-2) 端子機能説明

端子番号	端子名 (端子タイプ)	説明
1	X1	27.0MHz水晶振動子接続端子
2	S0	CLK1/CLK2/CLK3出力設定端子 (周波数設定表を参照) 内部プルアップ 360kΩ
3	S1	CLK1/CLK2/CLK3出力設定端子 (周波数設定表を参照) 内部プルアップ 360kΩ
4	VIN	VCXO制御電圧入力端子
5	VDD1	電源端子1
6	GND1	接地端子1
7	CLK1	クロック出力端子1 (周波数設定表を参照) 内部プルダウン 510kΩ
8	CLK2	クロック出力端子2 (周波数設定表を参照) 内部プルダウン 510kΩ
9	REFOUT	27.000MHzを出力します。
10	CLK3	クロック出力端子3 (周波数設定表を参照)
11	CLK4	クロック出力端子4 (周波数設定表を参照)
12	GND2	接地端子2
13	VDD2	電源端子2
14	S2	CLK1/CLK2/CLK3出力設定端子 (周波数設定表を参照) 内部プルアップ 360kΩ
15	VDD3	電源端子3
16	X2	27.0MHz水晶振動子接続端子。

2-3) 周波数設定テーブル

S2	S1	S0	CLK1	CLK2	CLK3	CLK4
L	L	L	OFF	OFF	OFF	OFF
L	L	H	OFF	OFF	OFF	27.000MHz
L	H	L	OFF	33.000MHz	OFF	OFF
L	H	H	OFF	33.000MHz	OFF	27.000MHz
H	L	L	OFF	OFF	27.000MHz	27.000MHz
H	L	H	33.000MHz	33.000MHz	OFF	OFF
H	H	L	33.000MHz	33.000MHz	OFF	27.000MHz
H	H	H	33.000MHz	33.000MHz	27.000MHz	27.000MHz

- * S2,S1,S0を開放にすると“H/H/H”の設定となります。
- * CLK3,4は、REFOUTと同じ信号が出力されます。

3. 電気的特性

3-1) 絶対最大定格

項目	記号	MIN	MAX	単位	備考
電源電圧	VDD	-0.3	4.6	V	
グランド・レベル	VSS	0	0	V	
入力端子電圧	VIN	VSS-0.3	VDD+0.3	V	
入力電流	IIN	-10	10	mA	
保存温度	Tstg	-55	130	°C	

注意：この値を超えた条件で使用した場合デバイスを破壊することがあります。
また、通常の動作は保証されません。

3-2) 動作条件

項目	記号	MIN	TYP	MAX	単位	備考
動作温度	Ta	-20		85	°C	
電源電圧	VDD	3.0	3.3	3.6	V	
出力端子 負荷容量	Cp1 Cp2			15 25	pF	CLK1-4 REFOUT

*VDD1-3 は同じ電源を使用し、各端子と GND 間に 0.1 μ F 程度のコンデンサを
挿入してください。

3-3) 消費電流

VDD=3.3V, Ta=25°C

項目	記号	MIN	TYP	MAX	単位	備考
消費電流	IDD		10.0mA		mA	*1

*1 出力端子無負荷、S2, S1, S0 は開放

3-4) DC特性

VDD=3.0~3.6V, Ta=-20~85°C

項目	端子	MIN	TYP	MAX	単位	備考
高レベル入力電圧	S2, S1, S0	0.7*VDD			V	
低レベル入力電圧	同上			0.3*VDD	V	
入力リーク電流 1	同上	-20		+10	μA	
入力リーク電流 2	VIN	-3		+3	μA	
出力高レベル電圧	CLK1-4 REFOUT	0.8*VDD			V	I _{OH} =-4mA
出力低レベル電圧	同上			0.2*VDD	V	I _{OL} =4mA

3-5) AC特性

VDD=3.0~3.6V, Ta=-20~85°C

項目	端子	MIN	TYP	MAX	単位	備考
水晶発振周波数	X1, X2		27.0000		MHz	
周波数可変範囲		±100			ppm	VIN=0.0~VDD *1, 単調
VCO ゲイン			130		ppm/V	VIN=1.5V±1.0V *1
出力 CLK 立ち上がり時間	CLK1-4 REF_OUT		1.5 2.5		ns	Cp1=15pF Cp2=25pF 0.2*VDD→0.8*VDD *2
出力 CLK 立ち下がり時間	CLK1-4 REF_OUT		1.8 2.5		ns	Cp1=15pF Cp2=25pF 0.8*VDD→0.2*VDD *2
ヒリोटジッタ	CLK1-2		120		ps	*2, *3
ロングタームジッタ (1000-cycle)	REFOUT CLK3/4		150		ps	27.000MHz *2, *4
出力 CLK デューティサイクル	CLK1-2	45	50	55	%	
	CLK3-4 REFOUT	40	50	60	%	
出力ロック時間	CLK1-2		5		ms	Cp1=15pF Cp2=25pF *1 *5

*1: 水晶振動子により異なります。

*2: 設計値です。

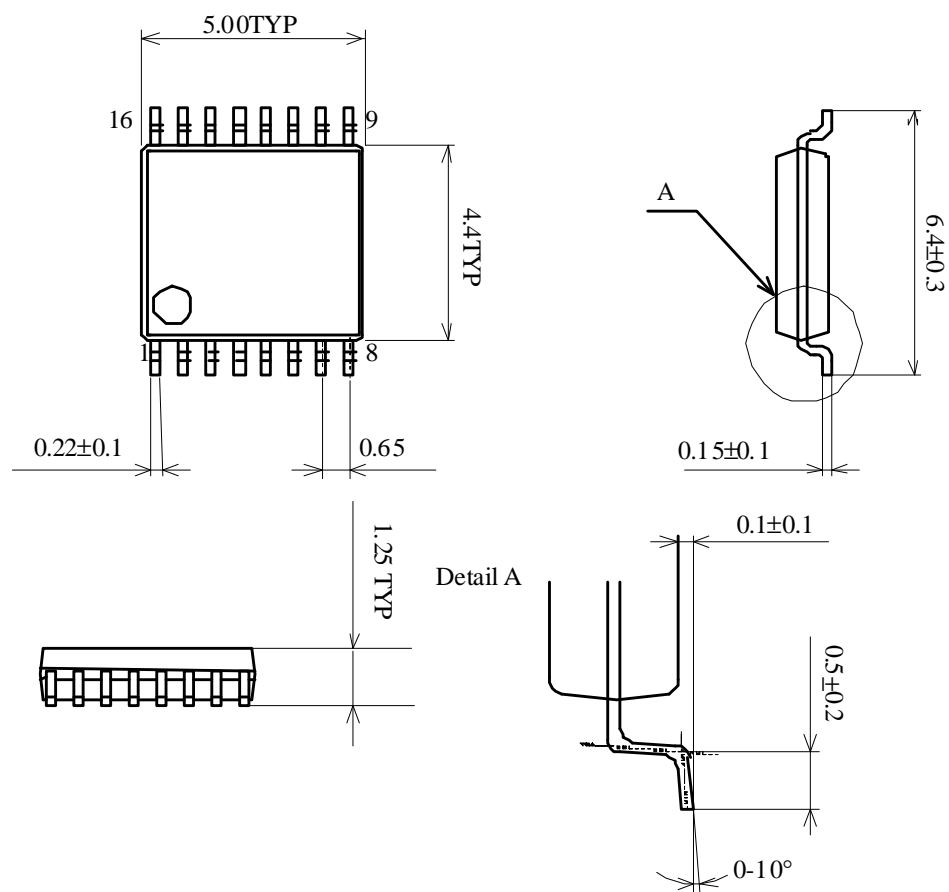
*3: 10000 回サンプル、6σ (±3σ)

*4: 10000 回サンプル、6σ (±3σ)

*5: CLK1/CLK2 は 27MHz 信号から PLL で生成されます。

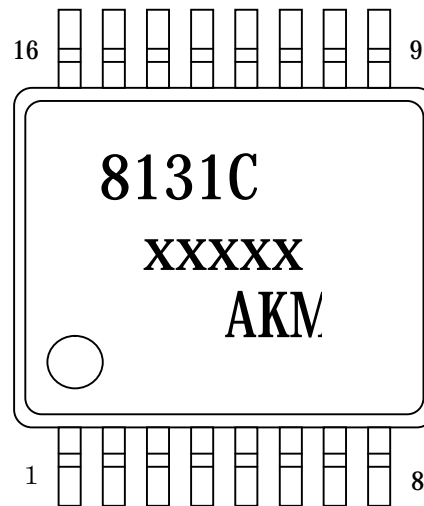
4. パッケージ外形寸法図 (単位mm)

16pin SSOP (Unit: mm)



5. マーキング図

- | | | |
|----|------------|------------|
| a. | 1ピン表示 | 丸印 |
| b. | ロゴ | AKM |
| c. | マーケティングコード | 8 1 3 1 C |
| d. | 日付コード | XXXXX (5桁) |



重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用した場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。